

PATENT ABSTRACTS OF JAPAN

B7

(11)Publication number : 2003-168937

(43)Date of publication of application : 13.06.2003

(51)Int.Cl.

H03G 3/10
G06G 7/16
H03D 7/14
H03F 1/32
H03F 3/45

(21)Application number : 2001-363753

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 29.11.2001

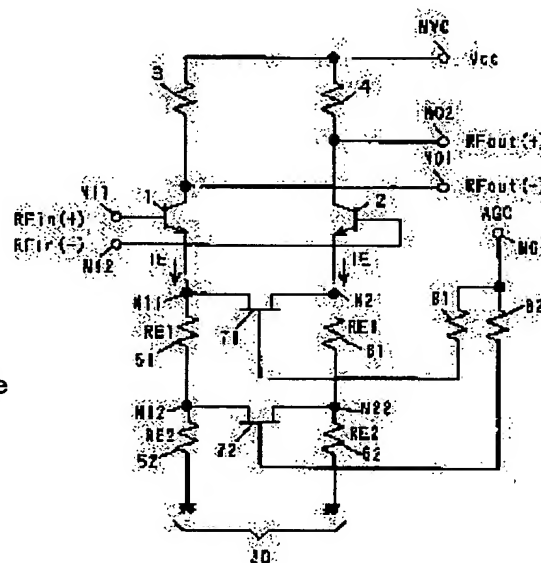
(72)Inventor : BABA SEIICHI

(54) VARIABLE GAIN TYPE DIFFERENTIAL AMPLIFYING CIRCUIT, AND MULTIPLYING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a variable gain type differential amplifier which can materialize distortion on and under a certain level, and a multiplying circuit using it.

SOLUTION: The emitter of a transistor 1 is connected to a node N11, a resistor 51 is connected between the node N11 and a node N12, and a resistor 52 is connected between the node N12 and a grounding terminal. The emitter of a transistor 2 is connected to a node N21, a resistor 61 is connected between the node N21 and a node N22, and a resistor 62 is connected between the node N22 and a grounding terminal. An FET 71 is connected between the nodes N11 and N21, and an FET 72 is connected between the nodes N12 and N22. The gates of the FETs 71 and 72 are connected to a control terminal NG, which receives control voltage AGC via resistors 81 and 82, respectively. The resistors 51, 52, 61, and 62, and FETs 71 and 72 constitute a variable resistance circuit 30.



LEGAL STATUS

[Date of request for examination]

16.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-168937

(P2003-168937A)

(43) 公開日 平成15年6月13日 (2003.6.13)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 3 G	3/10	H 0 3 G	3/10 B 5 J 0 6 6
G 0 6 G	7/16	G 0 6 G	7/16 D 5 J 0 9 0
H 0 3 D	7/14	H 0 3 D	7/14 C 5 J 1 0 0
H 0 3 F	1/32	H 0 3 F	1/32 5 J 5 0 0
	3/45		3/45 Z

審査請求 未請求 請求項の数10 O L (全 14 頁)

(21) 出願番号 特願2001-363753(P2001-363753)

(22) 出願日 平成13年11月29日 (2001.11.29)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 馬場 清一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100098305

弁理士 福島 祥人

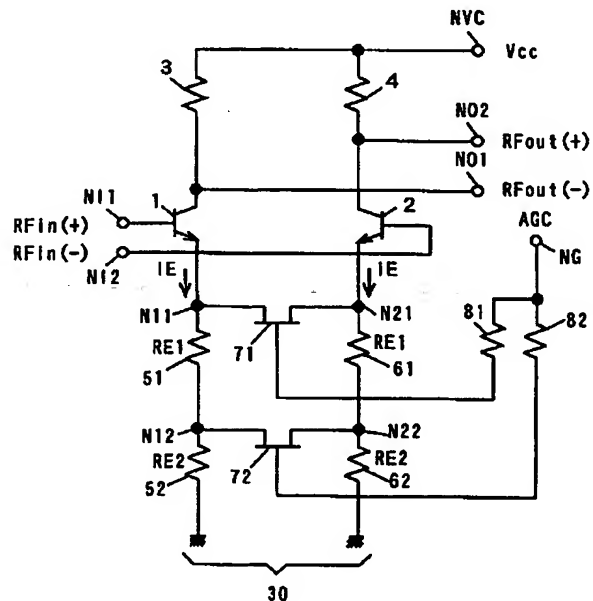
最終頁に続く

(54) 【発明の名称】 可変利得型差動増幅回路および乗算回路

(57) 【要約】

【課題】 一定レベル以下の歪みを実現可能な可変利得型差動増幅器およびそれを用いた乗算回路を提供することである。

【解決手段】 トランジスタ1のエミッタはノードN11に接続され、ノードN11とノードN12との間に抵抗51が接続され、ノードN12と接地端子との間に抵抗52が接続されている。トランジスタ2のエミッタはノードN21に接続され、ノードN21とノードN22との間に抵抗61が接続され、ノードN22と接地端子との間に抵抗62が接続されている。ノードN11、N21間にはFET71が接続され、ノードN12、N22間にはFET72が接続されている。FET71、72のゲートはそれぞれ抵抗81、82を介して制御電圧AGCを受ける制御端子NGに接続されている。抵抗51、52、61、62およびFET71、72が可変抵抗回路30を構成する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 可変インピーダンス回路と、
第1の入力信号を受ける第1の端子、第1の負荷を介して第1の電位に接続される第2の端子および前記可変インピーダンス回路に接続される第3の端子を有する第1のトランジスタと、
第2の入力信号を受ける第1の端子、第2の負荷を介して前記第1の電位に接続される第2の端子および前記可変インピーダンス回路に接続される第3の端子を有する第2のトランジスタとを備え、
前記可変インピーダンス回路は、
前記第1のトランジスタの前記第3の端子と第2の電位との間に接続された1以上の第1の抵抗要素と、
前記第2のトランジスタの前記第3の端子と前記第2の電位との間に接続された1以上の第2の抵抗要素と、
少なくとも1つの第1の抵抗要素の一端と少なくとも1つの第2の抵抗要素の一端との間および前記少なくとも1つの第1の抵抗要素の他端と前記少なくとも1つの第2の抵抗要素の他端との間にそれぞれ接続されるときに共通の制御電圧を受ける制御端子を有する複数のスイッチング素子とを含むことを特徴とする可変利得型差動増幅器。

【請求項2】 前記1以上の第1の抵抗要素は、
前記第1のトランジスタの前記第3の端子と第1のノードとの間に接続された第1の抵抗と、
前記第1のノードと前記第2の電位を受ける第2のノードとの間に接続された第2の抵抗とを含み、
前記1以上の第2の抵抗要素は、
前記第2のトランジスタの前記第3の端子と第3のノードとの間に接続された第3の抵抗と、
前記第3のノードと前記第2の電位を受ける第4のノードとの間に接続された第4の抵抗とを含み、
複数のスイッチング素子は、
前記第1のトランジスタの前記第3の端子と前記第2のトランジスタの前記第3の端子との間に接続された第1のスイッチング素子と、
前記第1のノードと前記第3のノードとの間に接続された第2のスイッチング素子とを含むことを特徴とする請求項1記載の可変利得型差動増幅器。

【請求項3】 前記1以上の第1の抵抗要素は、
前記第1のトランジスタの前記第3の端子と前記第2の電位を受ける第1のノードとの間に接続された第1の抵抗とを含み、
前記1以上の第2の抵抗要素は、
前記第2のトランジスタの前記第3の端子と前記第2の電位を受ける第2のノードとの間に接続された第2の抵抗とを含み、
複数のスイッチング素子は、
前記第1のトランジスタの前記第3の端子と前記第2のトランジスタの前記第3の端子との間に接続された第1

のスイッチング素子と、
前記第1のノードと前記第2のノードとの間に接続された第2のスイッチング素子とを含むことを特徴とする請求項1記載の可変利得型差動増幅器。

【請求項4】 前記1以上の第1の抵抗要素は、
前記第1のトランジスタの前記第3の端子と第1のノードとの間に接続された第1の抵抗と、
前記第1のノードと第2のノードとの間に接続された第2の抵抗と、
10 前記第2のノードと前記第2の電位を受ける第3のノードとの間に接続された第3の抵抗とを含み、
前記1以上の第2の抵抗要素は、
前記第2のトランジスタの前記第3の端子と第4のノードとの間に接続された第4の抵抗と、
前記第4のノードと第5のノードとの間に接続された第5の抵抗と、
前記第5のノードと前記第2の電位を受ける第6のノードとの間に接続された第6の抵抗とを含み、
複数のスイッチング素子は、
20 前記第1のノードと前記第4のノードとの間に接続された第1のスイッチング素子と、
前記第2のノードと前記第5のノードとの間に接続された第2のスイッチング素子とを含むことを特徴とする請求項1記載の可変利得型差動増幅器。

【請求項5】 前記1以上の第1の抵抗要素は、
前記第1のトランジスタの前記第3の端子と第1のノードとの間に接続された第1の抵抗と、
前記第1のノードと前記第2の電位を受ける第2のノードとの間に接続された第2の抵抗とを含み、
30 前記1以上の第2の抵抗要素は、
前記第2のトランジスタの前記第3の端子と第3のノードとの間に接続された第3の抵抗と、
前記第3のノードと前記第2の電位を受ける第4のノードとの間に接続された第4の抵抗とを含み、
複数のスイッチング素子は、
前記第1のノードと前記第3のノードとの間に接続された第1のスイッチング素子と、
前記第2のノードと前記第4のノードとの間に接続された第2のスイッチング素子とを含むことを特徴とする請求項1記載の可変利得型差動増幅器。

【請求項6】 第1の端子、第2の端子および第3の端子を有する第1、第2、第3、第4、第5および第6のトランジスタと、
可変インピーダンス回路とを備え、
前記第1のトランジスタの前記第1の端子は第1の入力信号を受け、前記第2の端子は第1の負荷を介して第1の電位に接続され、前記第3の端子は前記第5のトランジスタの前記第2の端子に接続され、
前記第2のトランジスタの前記第1の端子は第2の入力信号を受け、前記第2の端子は第2の負荷を介して前記

第1の電位に接続され、前記第3の端子は前記第5のトランジスタの前記第2の端子に接続され、
 前記第3のトランジスタの前記第1の端子は前記第2の入力信号を受け、前記第2の端子は前記第1の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第6のトランジスタの前記第2の端子に接続され、
 前記第4のトランジスタの前記第1の端子は前記第1の入力信号を受け、前記第2の端子は前記第2の負荷を介して前記第2の電位に接続され、前記第3の端子は前記第6のトランジスタの前記第2の端子に接続され、
 前記第5のトランジスタの前記第1の端子は第3の入力信号を受け、
 前記第6のトランジスタの前記第1の端子は第4の入力信号を受け、
 前記可変インピーダンス回路は、
 前記第5のトランジスタの前記第3の端子と第2の電位に接続された1以上の第1の抵抗要素と、
 前記第6のトランジスタの前記第3の端子と前記第2の電位に接続された1以上の第2の抵抗要素と、
 少なくとも1つの第1の抵抗要素の一端と少なくとも1つの第2の抵抗要素の一端との間および前記少なくとも1つの第1の抵抗要素の他端と前記少なくとも1つの第2の抵抗要素の他端との間にそれぞれ接続されるとともに共通の制御電圧を受ける制御端子を有する複数のスイッチング素子とを含むことを特徴とする乗算回路。
 【請求項7】 前記1以上の第1の抵抗要素は、
 前記第5のトランジスタの前記第3の端子と第1のノードとの間に接続された第1の抵抗と、
 前記第1のノードと前記第2の電位を受ける第2のノードとの間に接続された第2の抵抗とを含み、
 前記1以上の第2の抵抗要素は、
 前記第6のトランジスタの前記第3の端子と第3のノードとの間に接続された第3の抵抗と、
 前記第3のノードと前記第2の電位を受ける第4のノードとの間に接続された第4の抵抗とを含み、
 複数のスイッチング素子は、
 前記第5のトランジスタの前記第3の端子と前記第6のトランジスタの前記第3の端子との間に接続された第1のスイッチング素子と、
 前記第1のノードと前記第3のノードとの間に接続された第2のスイッチング素子とを含むことを特徴とする請求項6記載の乗算回路。

【請求項8】 前記1以上の第1の抵抗要素は、
 前記第5のトランジスタの前記第3の端子と前記第2の電位を受ける第1のノードとの間に接続された第1の抵抗とを含み、
 前記1以上の第2の抵抗要素は、
 前記第6のトランジスタの前記第3の端子と前記第2の電位を受ける第2のノードとの間に接続された第2の抵抗とを含み、

複数のスイッチング素子は、
 前記第5のトランジスタの前記第3の端子と前記第6のトランジスタの前記第3の端子との間に接続された第1のスイッチング素子と、
 前記第1のノードと前記第2のノードとの間に接続された第2のスイッチング素子とを含むことを特徴とする請求項6記載の乗算回路。

【請求項9】 前記1以上の第1の抵抗要素は、
 前記第5のトランジスタの前記第3の端子と第1のノードとの間に接続された第1の抵抗と、
 前記第1のノードと第2のノードとの間に接続された第2の抵抗と、
 前記第2のノードと前記第2の電位を受ける第3のノードとの間に接続された第3の抵抗とを含み、
 前記1以上の第2の抵抗要素は、
 前記第6のトランジスタの前記第3の端子と第4のノードとの間に接続された第4の抵抗と、
 前記第4のノードと第5のノードとの間に接続された第5の抵抗と、
 前記第5のノードと前記第2の電位を受ける第6のノードとの間に接続された第6の抵抗とを含み、

複数のスイッチング素子は、
 前記第1のノードと前記第4のノードとの間に接続された第1のスイッチング素子と、
 前記第2のノードと前記第5のノードとの間に接続された第2のスイッチング素子とを含むことを特徴とする請求項6記載の乗算回路。

【請求項10】 前記1以上の第1の抵抗要素は、
 前記第5のトランジスタの前記第3の端子と第1のノードとの間に接続された第1の抵抗と、
 前記第1のノードと前記第2の電位を受ける第2のノードとの間に接続された第2の抵抗とを含み、
 前記1以上の第2の抵抗要素は、
 前記第6のトランジスタの前記第3の端子と第3のノードとの間に接続された第3の抵抗と、
 前記第3のノードと前記第2の電位を受ける第4のノードとの間に接続された第4の抵抗とを含み、
 複数のスイッチング素子は、
 前記第1のノードと前記第3のノードとの間に接続された第1のスイッチング素子と、
 前記第2のノードと前記第4のノードとの間に接続された第2のスイッチング素子とを含むことを特徴とする請求項6記載の乗算回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、可変利得型差動増幅器およびそれを用いた乗算回路に関する。

【0002】

【従来の技術】 従来より、可変利得型差動増幅器（可変利得機能付差動増幅回路）が用いられている。バイポー

ラトランジスタ、MOSFET（金属酸化物電界効果トランジスタ）等のSi（シリコン）デバイスを用いた集積回路では、可変利得型差動増幅器として、ギルバート型構成を有する増幅器およびOTA（オペレーショナルトランスコンダクタンス増幅器：operational transconductance amplifier）構成を有する増幅器が主流となっている。

【0003】ギルバート型構成を有する増幅器は、広い可変利得範囲を有するが、消費電力や雑音特性の面で劣っている。そのため、移動体通信等では、一般的に、差動増幅器にFETスイッチ等からなる可変抵抗回路を設けたOTA構成が用いられる。

【0004】図12はOTA構成を有する従来の可変利得型差動増幅器の構成を示す回路図である。

【0005】図12の可変利得型差動増幅器は、バイポーラトランジスタ（以下、トランジスタと略記する）101、102、抵抗103、104、105、106およびn-MOSFET（以下、FETと略記する）107により構成される。FET107が可変抵抗回路200を構成する。

【0006】トランジスタ101のベースは入力信号RFin（+）を受ける入力端子N11に接続され、トランジスタ102のベースは入力信号RFin（-）を受ける入力端子N12に接続されている。入力信号RFin（+）、RFin（-）は、差動入力である。トランジスタ101、102のコレクタは、それぞれ抵抗103、104を介して電源電圧Vccを受ける電源端子NVCに接続されている。トランジスタ101、102のエミッタは、それぞれ抵抗105、106を介して接地端子に接続されている。また、トランジスタ101、102のコレクタは、それぞれ出力端子NO1、NO2に接続されている。出力端子NO1、NO2からそれぞれ出力信号RFout（+）、RFout（-）が導出される。出力信号RFout（+）、RFout（-）は差動出力である。

【0007】トランジスタ101、102のエミッタに接続されるノードN1、N2間には、FET107が接続されている。FET107のゲートは、抵抗110を介して制御電圧AGCを受ける制御端子NGに接続されている。

【0008】図12の可変利得型差動増幅器では、FET107のゲートに制御電圧AGCを印加してFET107のソース・ドレイン間抵抗を変化させることにより、利得制御を行う。例えば、FET107をオン状態にすれば、最大利得および低雑音特性が得られる。この場合、微小な高周波信号の増幅に適している。また、FET107をオフ状態にすれば、減衰量が最大（最小利得）となり、歪み特性が向上する。この場合、電界強度が高い状態での混変調に強くなる。

【0009】

【発明が解決しようとする課題】上記の可変利得型差動増幅器においては、可変抵抗回路200のFET107のゲートに与える制御電圧を変化させることにより連続的な利得制御を行うことができる。

【0010】しかしながら、上記の可変利得型差動増幅器の可変抵抗回路200は、FETのピンチオフ電圧近傍の制御電圧の領域で強い非線形性を有している。それにより、特定の制御電圧の近傍で歪み特性が劣化する。したがって、連続的な利得制御を行う場合に、FETにおいて波形歪みが増大する制御電圧が与えられたときに可変利得型差動増幅器の歪み特性が劣化する。

【0011】本発明の目的は、一定レベル以下の歪みが実現可能な可変利得型差動増幅器およびそれを用いた乗算回路を提供することである。

【0012】

【課題を解決するための手段および発明の効果】本発明に係る可変利得型差動増幅器は、可変インピーダンス回路と、第1の入力信号を受ける第1の端子、第1の負荷を介して第1の電位に接続される第2の端子および可変インピーダンス回路に接続される第3の端子を有する第1のトランジスタと、第2の入力信号を受ける第1の端子、第2の負荷を介して第1の電位に接続される第2の端子および可変インピーダンス回路に接続される第3の端子を有する第2のトランジスタとを備え、可変インピーダンス回路は、第1のトランジスタの第3の端子と第2の電位との間に接続された1以上の第1の抵抗要素と、第2のトランジスタの第3の端子と第2の電位との間に接続された1以上の第2の抵抗要素と、少なくとも1つの第1の抵抗要素の一端と少なくとも1つの第2の抵抗要素の一端との間および少なくとも1つの第1の抵抗要素の他端と少なくとも1つの第2の抵抗要素の他端との間にそれぞれ接続されるとともに共通の制御電圧を受ける制御端子を有する複数のスイッチング素子とを含むものである。

【0013】本発明に係る可変利得型差動増幅器においては、第1および第2の入力信号が第1および第2のトランジスタにより差動増幅される。

【0014】この場合、第1の電位から第1の負荷、第1のトランジスタおよび少なくとも1つの第1の抵抗要素を通して第2の電位に電流が流れると、第1の抵抗要素に電圧降下が生じる。また、第1の電位から第2の負荷、第2のトランジスタおよび少なくとも1つの第2の抵抗要素を通して第2の電位に電流が流れると、第2の抵抗要素に電圧降下が生じる。それにより、複数のスイッチング素子の一端の電位が異なり、かつ複数のスイッチング素子の他端の電位が異なる。この場合、複数のスイッチング素子の制御端子には共通の制御電圧が与えられているので、複数のスイッチング素子における一端および他端に対する制御端子の電圧が異なる。これは、複数のスイッチング素子に異なる制御電圧が印加されるこ

とに等しい。その結果、制御電圧を変化させて連続的な利得制御を行う場合に、特定の制御電圧での歪み特性の急激な劣化が抑制される。したがって、一定レベル以下の歪みが実現可能な可変利得型差動増幅器が実現される。

【0015】複数のスイッチング素子は、共通の制御電圧を受けるゲートを有する複数の電界効果トランジスタであってもよい。

【0016】この場合、複数の電界効果トランジスタのソースの電位が異なり、かつ複数の電界効果トランジスタのドレインの電位が異なる。ここで、複数の電界効果トランジスタのゲートには共通の制御電圧が与えられているので、複数の電界効果トランジスタにおけるソースおよびドレインに対するゲートの電圧が異なる。これは、複数の電界効果トランジスタに異なる制御電圧が印加されることに等しい。その結果、制御電圧を変化させて連続的な利得制御を行う場合に、特定の制御電圧での歪み特性の急激な劣化が抑制される。

【0017】1以上の第1の抵抗要素は、第1のトランジスタの第3の端子と第1のノードとの間に接続された第1の抵抗と、第1のノードと第2の電位を受ける第2のノードとの間に接続された第2の抵抗とを含み、1以上の第2の抵抗要素は、第2のトランジスタの第3の端子と第3のノードとの間に接続された第3の抵抗と、第3のノードと第2の電位を受ける第4のノードとの間に接続された第4の抵抗とを含み、複数のスイッチング素子は、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に接続された第1のスイッチング素子と、第1のノードと第3のノードとの間に接続された第2のスイッチング素子とを含んでもよい。

【0018】この場合、第1の抵抗における電圧降下により第1のスイッチング素子の一端の電位と第2のスイッチング素子の一端の電位とが異なり、かつ第3の抵抗における電圧降下により第1のスイッチング素子の他端の電位と第2のスイッチング素子の他端の電位とが異なる。したがって、第1および第2のスイッチング素子に異なる制御電圧が印加されることとなる。その結果、一定レベル以下の歪みが実現可能となる。

【0019】1以上の第1の抵抗要素は、第1のトランジスタの第3の端子と第2の電位を受ける第1のノードとの間に接続された第1の抵抗とを含み、1以上の第2の抵抗要素は、第2のトランジスタの第3の端子と第2の電位を受ける第2のノードとの間に接続された第2の抵抗とを含み、複数のスイッチング素子は、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に接続された第1のスイッチング素子と、第1のノードと第2のノードとの間に接続された第2のスイッチング素子とを含んでもよい。

【0020】この場合、第1の抵抗における電圧降下により第1のスイッチング素子の一端の電位と第2のスイ

ッチング素子の一端の電位とが異なり、かつ第2の抵抗における電圧降下により第1のスイッチング素子の他端の電位と第2のスイッチング素子の他端の電位とが異なる。したがって、第1および第2のスイッチング素子に異なる制御電圧が印加されることとなる。その結果、一定レベル以下の歪みが実現可能となる。

【0021】1以上の第1の抵抗要素は、第1のトランジスタの第3の端子と第1のノードとの間に接続された第1の抵抗と、第1のノードと第2のノードとの間に接続された第2の抵抗と、第2のノードと第2の電位を受ける第3のノードとの間に接続された第3の抵抗とを含み、1以上の第2の抵抗要素は、第2のトランジスタの第3の端子と第4のノードとの間に接続された第4の抵抗と、第4のノードと第5のノードとの間に接続された第5の抵抗と、第5のノードと第2の電位を受ける第6のノードとの間に接続された第6の抵抗とを含み、複数のスイッチング素子は、第1のノードと第4のノードとの間に接続された第1のスイッチング素子と、第2のノードと第5のノードとの間に接続された第2のスイッチング素子とを含んでもよい。

【0022】この場合、第2の抵抗における電圧降下により第1のスイッチング素子の一端の電位と第2のスイッチング素子の一端の電位とが異なり、かつ第5の抵抗における電圧降下により第1のスイッチング素子の他端の電位と第2のスイッチング素子の他端の電位とが異なる。したがって、第1および第2のスイッチング素子に異なる制御電圧が印加されることとなる。その結果、一定レベル以下の歪みが実現可能となる。

【0023】1以上の第1の抵抗要素は、第1のトランジスタの第3の端子と第1のノードとの間に接続された第1の抵抗と、第1のノードと第2の電位を受ける第2のノードとの間に接続された第2の抵抗とを含み、1以上の第2の抵抗要素は、第2のトランジスタの第3の端子と第3のノードとの間に接続された第3の抵抗と、第3のノードと第2の電位を受ける第4のノードとの間に接続された第4の抵抗とを含み、複数のスイッチング素子は、第1のノードと第3のノードとの間に接続された第1のスイッチング素子と、第2のノードと第4のノードとの間に接続された第2のスイッチング素子とを含んでもよい。

【0024】この場合、第2の抵抗における電圧降下により第1のスイッチング素子の一端の電位と第2のスイッチング素子の一端の電位とが異なり、かつ第4の抵抗における電圧降下により第1のスイッチング素子の他端の電位と第2のスイッチング素子の他端の電位とが異なる。したがって、第1および第2のスイッチング素子に異なる制御電圧が印加されることとなる。その結果、一定レベル以下の歪みが実現可能となる。

【0025】第1および第2のトランジスタの各々は、バイポーラトランジスタまたは電界効果トランジスタで

あってもよい。

【0026】可変利得型差動増幅器は、第1のトランジスタの第2の端子に接続され、第1の出力信号を導出する第1の出力端子と、第2のトランジスタの第2の端子に接続され、第2の出力信号を導出する第2の出力端子とをさらに備えてもよい。

【0027】この場合、第1および第2の入力信号の差動増幅の結果を示す第1および第2の出力信号が差動出力として第1および第2の出力端子に導出される。

【0028】本発明に係る乗算回路は、第1の端子、第2の端子および第3の端子を有する第1、第2、第3、第4、第5および第6のトランジスタと、可変インピーダンス回路とを備え、第1のトランジスタの第1の端子は第1の入力信号を受け、第2の端子は第1の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第2のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第3のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は第1の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第4のトランジスタの第1の端子は第1の入力信号を受け、第2の端子は第2の負荷を介して第2の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第5のトランジスタの第1の端子は第3の入力信号を受け、第6のトランジスタの第1の端子は第4の入力信号を受け、可変インピーダンス回路は、第5のトランジスタの第3の端子と第2の電位に接続された1以上の第1の抵抗要素と、第6のトランジスタの第3の端子と第2の電位に接続された1以上の第2の抵抗要素と、少なくとも1つの第1の抵抗要素の一端と少なくとも1つの第2の抵抗要素の一端との間および少なくとも1つの第1の抵抗要素の他端と少なくとも1つの第2の抵抗要素の他端との間にそれぞれ接続されるとともに共通の制御電圧を受ける制御端子を有する複数のスイッチング素子とを含むものである。

【0029】本発明に係る乗算回路においては、第1～第4のトランジスタにより第1および第2の入力信号が差動増幅され、第5および第6のトランジスタにより第3および第4の入力信号が差動増幅されるとともに、第1および第2の入力信号の差動増幅の結果と第3および第4の入力信号の差動増幅の結果とが乗算される。

【0030】この場合、第1の電位から第1および第2の負荷および第1および第2のトランジスタを介して第5のトランジスタに電流が流れ、さらに第5のトランジスタおよび少なくとも1つの第1の抵抗要素を通して第2の電位に電流が流れると、第1の抵抗要素に電圧降下が生じる。また、第1の電位から第1および第2の負荷および第3および第4のトランジスタを介して第6のト

ランジスタに電流が流れ、さらに第6のトランジスタおよび少なくとも1つの第2の抵抗要素を通して第2の電位に電流が流れると、第2の抵抗要素に電圧降下が生じる。それにより、複数のスイッチング素子の一端の電位が異なり、かつ複数のスイッチング素子の他端の電位が異なる。この場合、複数のスイッチング素子の制御端子には共通の制御電圧が与えられているので、複数のスイッチング素子における一端および他端に対する制御端子の電圧が異なる。これは、複数のスイッチング素子に異なる制御電圧が印加されることに等しい。その結果、制御電圧を変化させて連続的な利得制御を行う場合に、特定の制御電圧での歪み特性の急激な劣化が抑制される。したがって、一定レベル以下の歪みが実現可能な乗算回路が実現される。

【0031】複数のスイッチング素子は、共通の制御電圧を受けるゲートを有する複数の電界効果トランジスタであってもよい。

【0032】この場合、複数の電界効果トランジスタのソースの電位が異なり、かつ複数の電界効果トランジスタのドレインの電位が異なる。ここで、複数の電界効果トランジスタのゲートには共通の制御電圧が与えられているので、複数の電界効果トランジスタにおけるソースおよびドレインに対するゲートの電圧が異なる。これは、複数の電界効果トランジスタに異なる制御電圧が印加されることに等しい。その結果、制御電圧を変化させて連続的な利得制御を行う場合に、特定の制御電圧での歪み特性の急激な劣化が抑制される。

【0033】1以上の第1の抵抗要素は、第5のトランジスタの第3の端子と第1のノードとの間に接続された第1の抵抗と、第1のノードと第2の電位を受ける第2のノードとの間に接続された第2の抵抗とを含み、1以上の第2の抵抗要素は、第6のトランジスタの第3の端子と第3のノードとの間に接続された第3の抵抗と、第3のノードと第2の電位を受ける第4のノードとの間に接続された第4の抵抗とを含み、複数のスイッチング素子は、第5のトランジスタの第3の端子と第6のトランジスタの第3の端子との間に接続された第1のスイッチング素子と、第1のノードと第3のノードとの間に接続された第2のスイッチング素子とを含んでもよい。

【0034】この場合、第1の抵抗における電圧降下により第1のスイッチング素子の一端の電位と第2のスイッチング素子の一端の電位とが異なり、かつ第3の抵抗における電圧降下により第1のスイッチング素子の他端の電位と第2のスイッチング素子の他端の電位とが異なる。したがって、第1および第2のスイッチング素子に異なる制御電圧が印加されることとなる。その結果、一定レベル以下の歪みが実現可能となる。

【0035】1以上の第1の抵抗要素は、第5のトランジスタの第3の端子と第2の電位を受ける第1のノードとの間に接続された第1の抵抗とを含み、1以上の第2

の抵抗要素は、第6のトランジスタの第3の端子と第2の電位を受ける第2のノードとの間に接続された第2の抵抗とを含み、複数のスイッチング素子は、第5のトランジスタの第3の端子と第6のトランジスタの第3の端子との間に接続された第1のスイッチング素子と、第1のノードと第2のノードとの間に接続された第2のスイッチング素子とを含んでもよい。

【0036】この場合、第1の抵抗における電圧降下により第1のスイッチング素子の一端の電位と第2のスイッチング素子の一端の電位とが異なり、かつ第2の抵抗における電圧降下により第1のスイッチング素子の他端の電位と第2のスイッチング素子の他端の電位とが異なる。したがって、第1および第2のスイッチング素子に異なる制御電圧が印加されることとなる。その結果、一定レベル以下の歪みが実現可能となる。

【0037】1以上の第1の抵抗要素は、第5のトランジスタの第3の端子と第1のノードとの間に接続された第1の抵抗と、第1のノードと第2のノードとの間に接続された第2の抵抗と、第2のノードと第2の電位を受ける第3のノードとの間に接続された第3の抵抗とを含み、1以上の第2の抵抗要素は、第6のトランジスタの第3の端子と第4のノードとの間に接続された第4の抵抗と、第4のノードと第5のノードとの間に接続された第5の抵抗と、第5のノードと第2の電位を受ける第6のノードとの間に接続された第6の抵抗とを含み、複数のスイッチング素子は、第1のノードと第4のノードとの間に接続された第1のスイッチング素子と、第2のノードと第5のノードとの間に接続された第2のスイッチング素子とを含んでもよい。

【0038】この場合、第2の抵抗における電圧降下により第1のスイッチング素子の一端の電位と第2のスイッチング素子の一端の電位とが異なり、かつ第5の抵抗における電圧降下により第1のスイッチング素子の他端の電位と第2のスイッチング素子の他端の電位とが異なる。したがって、第1および第2のスイッチング素子に異なる制御電圧が印加されることとなる。その結果、一定レベル以下の歪みが実現可能となる。

【0039】1以上の第1の抵抗要素は、第5のトランジスタの第3の端子と第1のノードとの間に接続された第1の抵抗と、第1のノードと第2の電位を受ける第2のノードとの間に接続された第2の抵抗とを含み、1以上の第2の抵抗要素は、第6のトランジスタの第3の端子と第3のノードとの間に接続された第3の抵抗と、第3のノードと第2の電位を受ける第4のノードとの間に接続された第4の抵抗とを含み、複数のスイッチング素子は、第1のノードと第3のノードとの間に接続された第1のスイッチング素子と、第2のノードと第4のノードとの間に接続された第2のスイッチング素子とを含んでもよい。

【0040】この場合、第2の抵抗における電圧降下により

第1のスイッチング素子の一端の電位と第2のスイッチング素子の一端の電位とが異なり、かつ第4の抵抗における電圧降下により第1のスイッチング素子の他端の電位と第2のスイッチング素子の他端の電位とが異なる。したがって、第1および第2のスイッチング素子に異なる制御電圧が印加されることとなる。その結果、一定レベル以下の歪みが実現可能となる。

【0041】第1～第6のトランジスタの各々は、バイポーラトランジスタまたは電界効果トランジスタであってもよい。

【0042】乗算回路は、第1および第3のトランジスタの第2の端子に接続され、第1の出力信号を導出する第1の出力端子と、第2および第4のトランジスタの第2の端子に接続され、第2の出力信号を導出する第2の出力端子とをさらに備えてもよい。

【0043】この場合、第1および第2の入力信号の差動増幅の結果と第3および第4の入力信号の差動増幅の結果との乗算結果を示す第1および第2の出力信号が差動出力として第1および第2の出力端子に導出される。

【0044】

【発明の実施の形態】図1は本発明の第1の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【0045】図1の可変利得型差動増幅器は、バイポーラトランジスタ（以下、トランジスタと略記する）1、2、抵抗3、4、51、52、61、62、81、82およびn-MOSFET（以下、FETと略記する）71、72により構成される。抵抗3、4、51、52、61、62は定電流源として働く。

【0046】トランジスタ1のベースは入力信号RF_{in}(+)を受ける入力端子N11に接続され、トランジスタ2のベースは入力信号RF_{in}(-)を受ける入力端子N12に接続されている。入力信号RF_{in}(+)、RF_{in}(-)は、差動入力である。トランジスタ1、2のコレクタは、それぞれ抵抗3、4を介して電源電圧V_{cc}を受ける電源端子NVCに接続されている。

【0047】また、トランジスタ1、2のコレクタは、それぞれ出力端子NO1、NO2に接続されている。出力端子NO1、NO2からそれぞれ出力信号RF_{out}(+)、RF_{out}(-)が導出される。出力信号RF_{out}(+)、RF_{out}(-)は差動出力である。

【0048】トランジスタ1のエミッタはノードN11に接続され、ノードN11とノードN12との間に抵抗51が接続され、ノードN12と接地端子との間に抵抗52が接続されている。トランジスタ2のエミッタはノードN21に接続され、ノードN21とノードN22との間に抵抗61が接続され、ノードN22と接地端子との間に抵抗62が接続されている。

【0049】ノードN11、N21間にはFET71が

10

20

30

40

50

接続され、ノードN12、N22間にはFET72が接続されている。FET71、72のゲートは、それぞれ抵抗81、82を介して制御電圧AGCを受ける制御端子NGに接続されている。抵抗51、52、61、62およびFET71、72が可変抵抗回路30を構成する。

【0050】本実施の形態では、トランジスタ1が第1のトランジスタに相当し、トランジスタ2が第2のトランジスタに相当し、FET71、72がスイッチング素子に相当する。また、抵抗3が第1の負荷に相当し、抵抗4が第2の負荷に相当し、抵抗51、52が第1の抵抗要素に相当し、抵抗61、62が第2の抵抗要素に相当する。さらに、可変抵抗回路30が可変インピーダンス回路に相当する。

【0051】抵抗3、4は等しい抵抗値を有し、抵抗51、61は等しい抵抗値を有し、抵抗52、62は等しい抵抗値を有する。ここで、抵抗51、61の抵抗値をRE1とし、抵抗52、62の抵抗値をRE2とする。また、トランジスタ1、2のエミッタ電流をIEとする。

【0052】トランジスタ1のエミッタ電流IEが可変抵抗回路30に流れると、直列に接続された抵抗51、52に電圧降下が生じる。抵抗51による電圧降下は $RE1 \times IE$ となり、抵抗52による電圧降下は $RE2 \times IE$ となる。同様に、抵抗61による電圧降下は $RE1 \times IE$ となり、抵抗62による電圧降下は $RE2 \times IE$ となる。それにより、FET71のソースの電位とFET72のソースの電位が異なり、FET71のドレインの電位とFET72のドレインの電位が異なる。すなわち、ノードN11とノードN12との間の電位差は $RE1 \times IE$ となり、ノードN21とノードN22との間の電位差も $RE1 \times IE$ となる。

【0053】FET71、72のゲートには共通の制御電圧AGCが与えられるので、FET71のゲート・ソース電圧およびゲート・ドレイン電圧は、FET72のゲート・ソース電圧およびゲート・ドレイン電圧と異なる。これは、FET71、72のゲートに異なる制御電圧を与えることに等しい。したがって、FET71に非線形性が最も高くなる制御電圧が印加されているときに、FET72には非線形性が低くなる制御電圧が印加されることになる。逆に、FET72に非線形性が最も高くなる制御電圧が印加されているときに、FET71に線形性が低くなる制御電圧が印加されることになる。その結果、制御電圧AGCを変化させて連続的な利得制御を行う場合に、特定の制御電圧AGCでの可変利得型差動増幅器の歪み特性の急激な劣化が抑制される。

【0054】ここで、図1の本実施の形態の可変利得型差動増幅器および図12の従来の可変利得型差動増幅器における歪み特性を比較した。図2は図1の本実施の形態の可変利得型差動増幅器および図12の従来の可変利得型差

動増幅器における歪み特性の制御電圧依存性の計算結果を示す図である。ここでは、入力電力の変化に応じて制御電圧AGCを変化させ、出力電力を一定とした動作条件で3次歪みを算出した。

【0055】図2に示すように、図1の本実施の形態の可変利得型差動増幅器では、図12の従来の可変利得型差動増幅器に比べて、符号Aで示す制御電圧での3次歪みが低減され、符号Bで示す制御電圧での3次歪みが増加している。それにより、3次歪みの最大値が低減されるとともに、制御電圧の広い領域で歪み特性が平坦となっている。

【0056】このように、本実施の形態の可変利得型差動増幅器においては、一定レベル以下の歪みを実現可能となる。

【0057】図3は本発明の第2の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【0058】図3の可変利得型差動増幅器が図1の可変利得型差動増幅器と異なるのは、可変抵抗回路30において、ノードN12と接地端子との間およびノードN22と接地端子との間に抵抗52、62が接続されていない点である。図3の可変利得型差動増幅器の他の部分の構成は、図1の可変利得型差動増幅器の構成と同様である。

【0059】本実施の形態の可変利得型差動増幅器においても、可変利得範囲の広い領域にわたって歪み特性が改善される。特に、可変抵抗回路30の2つのFET71、72の実効的な制御電圧の差を大きくすることができるので、可変利得範囲において歪み特性が劣化するピーク位置を離すことができる。

【0060】図4は本発明の第3の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【0061】図4の可変利得型差動増幅器が図1の可変利得型差動増幅器と異なるのは、可変抵抗回路30において、トランジスタ1のエミッタとノードN11との間に抵抗50がさらに接続され、トランジスタ2のエミッタとノードN21との間に抵抗60がさらに接続されている点である。図4の可変利得型差動増幅器の他の部分の構成は、図1の可変利得型差動増幅器の構成と同様である。

【0062】本実施の形態の可変利得型差動増幅器では、第2の実施の形態の可変利得型差動増幅器に比べて可変抵抗回路30の2つのFET71、72の実効的な制御電圧の差を大きくすることはできないが、一定レベル以下の歪みを実現可能となる。

【0063】図5は本発明の第4の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【0064】図5の可変利得型差動増幅器が図1の可変利得型差動増幅器と異なるのは、可変抵抗回路30において、トランジスタ1のエミッタとノードN11との間に抵抗50が接続され、トランジスタ2のエミッタとノ

ードN21との間に抵抗60が接続され、ノードN12と接地端子との間およびノードN22と接地端子との間に抵抗52, 62が接続されていない点である。図5の可変利得型差動増幅器の他の部分の構成は、図1の可変利得型差動増幅器の構成と同様である。

【0065】本実施の形態の可変利得型差動増幅器では、雑音指数の低減には限界があるが、可変抵抗回路30の2つのFET71, 72の実効的な制御電圧の差を大きくすることができるとともに、一定レベル以下の歪みを実現可能となる。

【0066】図6は本発明の第5の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【0067】図6の可変利得型差動増幅器が図1の可変利得型差動増幅器と異なるのは、可変抵抗回路30において、トランジスタ1のエミッタと接地端子との間に

($m+1$)個の抵抗50, ..., 5k, ..., 5mが直列に接続され、抵抗トランジスタ2のエミッタと接地端子との間に($m+1$)個の抵抗60, ..., 6k, ..., 6mが直列に接続され、抵抗50, ..., 5k, ..., 5m間のノードN11, ..., N1k, ..., N1mと抵抗60, ..., 6k, ..., 6m間のノードN21, ..., N2k, ..., N2mとの間にそれぞれFET71, ..., 7k, ..., 7mが接続されている点である。ここで、 m は3以上の整数である。FET71, ..., 7k, ..., 7mのゲートは、それぞれ抵抗81, ..., 8k, ..., 8mを介して制御電圧AGCを受ける制御端子NGに接続されている。図6には、抵抗5k, 6k, 8k, 8k+1およびFET7k, 7k+1のみが示されている。ここで、 k は0, ..., m である。図6の可変利得型差動増幅器の他の部分の構成は、図1の可変利得型差動増幅器の構成と同様である。

【0068】本実施の形態の可変利得型差動増幅器においても、一定レベル以下の歪みを実現可能となる。

【0069】この場合、トランジスタ1のエミッタと接地端子との間に接続される抵抗50, ..., 5k, ..., 5mおよび抵抗トランジスタ2のエミッタと接地端子との間に接続される抵抗60, ..., 6k, ..., 6mの個数およびFET71, ..., 7k, ..., 7mの個数が増加するほど、特定の制御電圧での3次歪みの最大値がより低減される反面、他の制御電圧のより広い領域で3次歪みが増加している。

【0070】したがって、可変利得型差動増幅器に要求される特性に応じて、第1～第5の実施の形態の可変利得型差動増幅器のうち最適な特性を有する可変利得型差動増幅器を選択する。

【0071】図7は本発明の第6の実施の形態におけるギルバート型乗算回路(混合器)の構成を示す回路図である。

【0072】図7のギルバート型乗算回路(混合器)は、バイポーラトランジスタ(以下、トランジスタと略

記する)1, 2, 21, 22, 23, 24、抵抗3, 4, 51, 52, 61, 62, 81, 82およびn-MOSFET(以下、FETと略記する)71, 72により構成される。抵抗3, 4, 51, 52, 61, 62は定電流源として働く。抵抗51, 52, 61, 62およびFET71, 72が可変抵抗回路30を構成する。

【0073】トランジスタ1のベースは入力信号RF in (+)を受ける入力端子NI1に接続され、トランジスタ2のベースは入力信号RF in (-)を受ける入力端子NI2に接続されている。入力信号RF in (+), RF in (-)は、差動入力である。トランジスタ1のコレクタと出力端子NO1, NO2との間にそれぞれトランジスタ21, 22が挿入されている。また、トランジスタ2のコレクタと出力端子NO1, NO2との間にそれぞれトランジスタ23, 24が挿入されている。トランジスタ21, 24のベースは入力信号LO in (+)を受ける入力端子NI3に接続され、トランジスタ22, 23のベースは入力信号LO in (-)を受ける入力端子NI4に接続されている。入力信号LO in (+), LO in (-)は差動入力である。トランジスタ21, 23のコレクタは、抵抗3を介して電源電圧Vccを受ける電源端子NVCに接続されている。また、トランジスタ22, 24のコレクタは、抵抗4を介して電源端子NVCに接続されている。

【0074】図7のギルバート型乗算回路の他の部分の構成は、図1の可変利得型差動増幅器の構成と同様である。

【0075】本実施の形態では、トランジスタ1が第1のトランジスタに相当し、トランジスタ2が第2のトランジスタに相当し、トランジスタ21が第3のトランジスタに相当し、トランジスタ22が第4のトランジスタに相当し、トランジスタ23が第5のトランジスタに相当し、トランジスタ24が第6のトランジスタに相当する。FET71, 72がスイッチング素子に相当する。また、抵抗3が第1の負荷に相当し、抵抗4が第2の負荷に相当し、抵抗51, 52が第1の抵抗要素に相当し、抵抗61, 62が第2の抵抗要素に相当する。さらに、可変抵抗回路30が可変インピーダンス回路に相当する。

【0076】ここで、一方の差動入力信号を $RF = RF_{in}(+) - RF_{in}(-)$ とし、他方の差動入力信号を $LO = LO_{in}(+) - LO_{in}(-)$ とし、差動出力信号を $IF = IF_{out}(+) - IF_{out}(-)$ とする。また、差動入力信号RFの周波数を f_{rf} とし、差動入力信号LOの周波数を f_{lo} とし、差動出力信号IFの周波数を f_{if} とすると、次式が成立する。

【0077】 $f_{if} = f_{rf} \pm f_{lo}$ 。例えば、差動入力信号RFの周波数 f_{rf} を1.1GHzとし、差動入力信号LOの周波数 f_{lo} を1GHzとすると、差動出力信号IFの周波数 f_{if} は2.1GHzおよび100MHzとなる。

したがって、図7のギルバート型乗算回路は、100MHzの周波数 f_{1r} を取り出すことにより、ダウンコンバータとして用いることができる。

【0078】図7のギルバート型乗算回路においては、FET71、72のゲートには共通の制御電圧AGCが与えられるので、FET71のゲート・ソース電圧およびゲート・ドレイン電圧は、FET72のゲート・ソース電圧およびゲート・ドレイン電圧と異なる。これは、FET71、72のゲートに異なる制御電圧を与えることに等しい。したがって、FET71に非線形性が最も高くなる制御電圧が印加されているときに、FET72には非線形性が低くなる制御電圧が印加されることになる。逆に、FET72に非線形性が最も高くなる制御電圧が印加されているときに、FET71に線形性が低くなる制御電圧が印加されることになる。その結果、制御電圧AGCを変化させて連続的な利得制御を行う場合に、特定の制御電圧AGCでの可変利得型差動増幅器の歪み特性の急激な劣化が抑制される。

【0079】このように、本実施の形態のギルバート型乗算回路においては、一定レベル以下の歪みを実現可能となる。

【0080】図8は本発明の第7の実施の形態におけるギルバート型乗算回路の構成を示す回路図である。

【0081】図8のギルバート型乗算回路が図7のギルバート型乗算回路と異なるのは、可変抵抗回路30において、ノードN12と接地端子との間およびノードN22と接地端子との間に抵抗52、62が接続されていない点である。図8の可変利得型差動増幅器の他の部分の構成は、図7の可変利得型差動増幅器の構成と同様である。

【0082】本実施の形態のギルバート型乗算回路においても、可変利得範囲の広い領域にわたって歪み特性が改善される。特に、可変抵抗回路30の2つのFET71、72の実効的な制御電圧の差を大きくできるので、可変利得範囲において歪み特性が劣化するピーク位置を離すことができる。

【0083】図9は本発明の第8の実施の形態におけるギルバート型乗算回路の構成を示す回路図である。

【0084】図9のギルバート型乗算回路が図7のギルバート型乗算回路と異なるのは、可変抵抗回路30において、トランジスタ1のエミッタとノードN11との間に抵抗50がさらに接続され、トランジスタ2のエミッタとノードN21との間に抵抗60がさらに接続されている点である。図9のギルバート型乗算回路の他の部分の構成は、図7のギルバート型乗算回路の構成と同様である。

【0085】本実施の形態のギルバート型乗算回路では、第7の実施の形態のギルバート型乗算回路に比べて可変抵抗回路30の2つのFET71、72の実効的な制御電圧の差を大きくすることはできないが、一定レベ

ル以下の歪みを実現可能となる。

【0086】図10は本発明の第9の実施の形態におけるギルバート型乗算回路の構成を示す回路図である。

【0087】図10のギルバート型乗算回路が図7のギルバート型乗算回路と異なるのは、可変抵抗回路30において、トランジスタ1のエミッタとノードN11との間に抵抗50が接続され、トランジスタ2のエミッタとノードN21との間に抵抗60が接続され、ノードN12と接地端子との間およびノードN22と接地端子との間に抵抗52、62が接続されていない点である。図10のギルバート型乗算回路の他の部分の構成は、図7のギルバート型乗算回路の構成と同様である。

【0088】本実施の形態のギルバート型乗算回路では、雑音指数の低減には限界があるが、可変抵抗回路30の2つのFET71、72の実効的な制御電圧の差を大きくできるとともに、一定レベル以下の歪みを実現可能となる。

【0089】図11は本発明の第10の実施の形態におけるギルバート型乗算回路の構成を示す回路図である。

【0090】図11のギルバート型乗算回路が図7のギルバート型乗算回路と異なるのは、可変抵抗回路30において、トランジスタ1のエミッタと接地端子との間に $(m+1)$ 個の抵抗50, ..., 5k, ..., 5mが直列に接続され、抵抗トランジスタ2のエミッタと接地端子との間に $(m+1)$ 個の抵抗60, ..., 6k, ..., 6mが直列に接続され、抵抗50, ..., 5k, ..., 5m間のノードN11, ..., N1k, ..., N1mと抵抗60, ..., 6k, ..., 6m間のノードN21, ..., N2k, ..., N2mとの間にそれぞれFET71, ..., 7k, ..., 7mが接続されている点である。ここで、mは3以上の整数である。FET71, ..., 7k, ..., 7mのゲートは、それぞれ抵抗81, ..., 8k, ..., 8mを介して制御電圧AGCを受ける制御端子NGに接続されている。図11には、抵抗5k, 6k, 8k, 8k+1およびFET7k, 7k+1のみが示されている。ここで、kは0, ..., mである。図11のギルバート型乗算回路の他の部分の構成は、図7のギルバート型乗算回路の構成と同様である。

【0091】本実施の形態のギルバート型乗算回路においても、一定レベル以下の歪みを実現可能となる。

【0092】以上のように、上記実施の形態では、可変抵抗回路30を用いることにより、簡単な回路構成で低雑音特性および低歪み特性を有する可変利得型差動増幅器およびギルバート型乗算回路が実現される。

【0093】特に、可変抵抗回路30のFET71、72、7k、7k+1に共通の制御電圧AGCが印加されるので、利得制御を簡便に行うことができる。

【0094】なお、上記実施の形態では、第1～第6のトランジスタとしてバイポーラトランジスタを用いているが、第1～第6のトランジスタとしてMOSFET、

MESFET（金属半導体電界効果トランジスタ）等の他のトランジスタを用いてもよい。

【0095】また、上記実施の形態では、第1および第2の負荷として抵抗3、4を用いているが、第1および第2の負荷としてMOSFET、MESFET、バイポーラトランジスタ、インダクタ、変圧器等の他の素子を用いてもよい。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【図2】図1の本実施の形態の可変利得型差動増幅器および図12の可変利得型差動増幅器における歪み特性の制御電圧依存性の計算結果を示す図である。

【図3】本発明の第2の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【図4】本発明の第3の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【図5】本発明の第4の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【図6】本発明の第5の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【図7】本発明の第6の実施の形態におけるギルバート型乗算回路の構成を示す回路図である。

【図8】本発明の第7の実施の形態におけるギルバート型乗算回路の構成を示す回路図である。

【図9】本発明の第8の実施の形態におけるギルバート*

*型乗算回路の構成を示す回路図である。

【図10】本発明の第9の実施の形態におけるギルバート型乗算回路の構成を示す回路図である。

【図11】本発明の第10の実施の形態におけるギルバート型乗算回路の構成を示す回路図である。

【図12】従来の可変利得型差動増幅器の構成を示す回路図である。

【符号の説明】

1, 2, 21, 22, 23, 24 トランジスタ

3, 4, 50, 51, 52, 5k, 60, 61, 62,

6k, 80, 81, 82, 8k, 8k+1 抵抗

71, 72, 7k, 7k+1 FET

30 可変抵抗回路

NI1, NI2, NI3, NI4 入力端子

NO1, NO2 出力端子

NG1, NG2 制御端子

NVC 電源端子

N11, N12, N21, N22 ノード

RFin(+), RFin(-), RFin, LOin

(+), LOin(-), LOin 入力信号

RFout(+), RFout(-), RFout, I

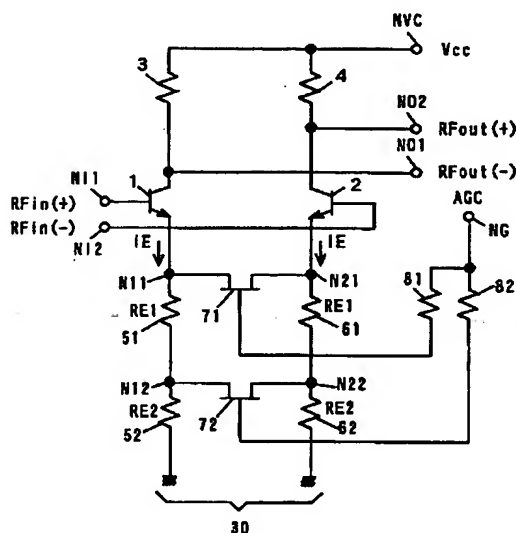
Fout(+), IFout(-), IFout 出力

信号

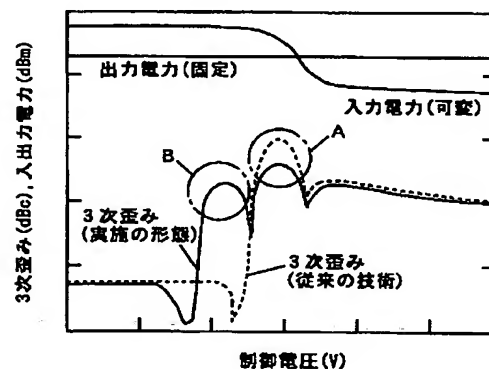
Vcc 電源電圧

AGC 制御電圧

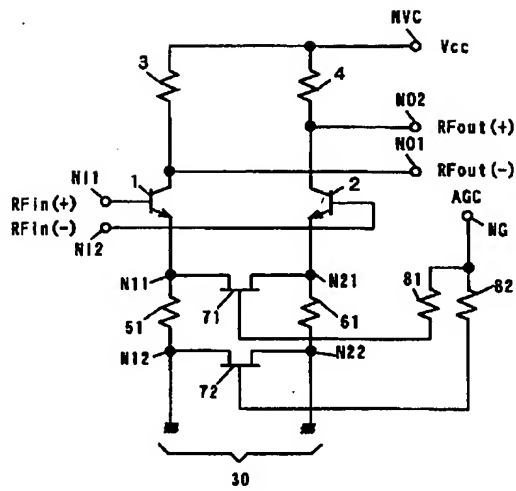
【図1】



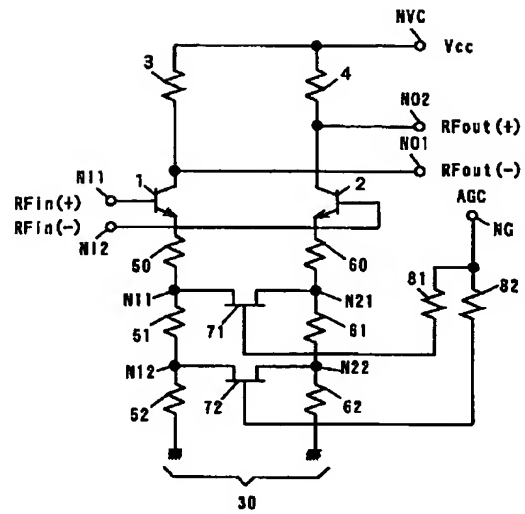
【図2】



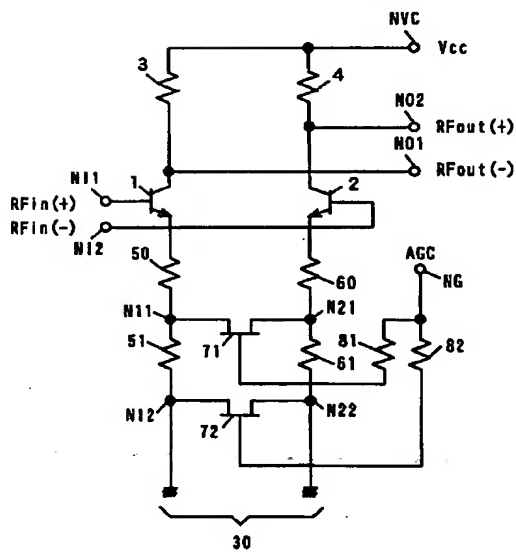
【図3】



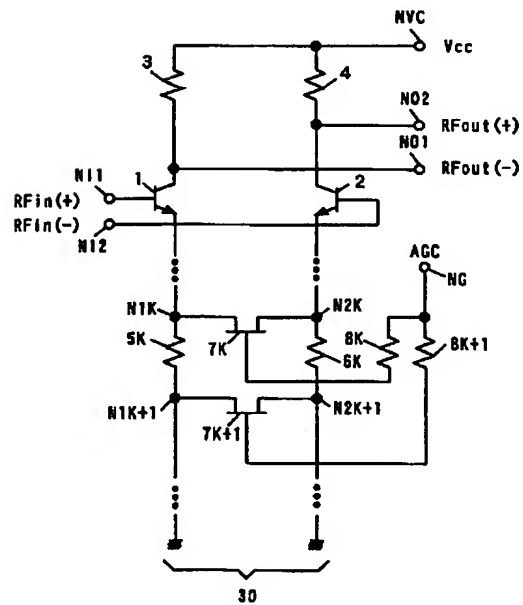
【図4】



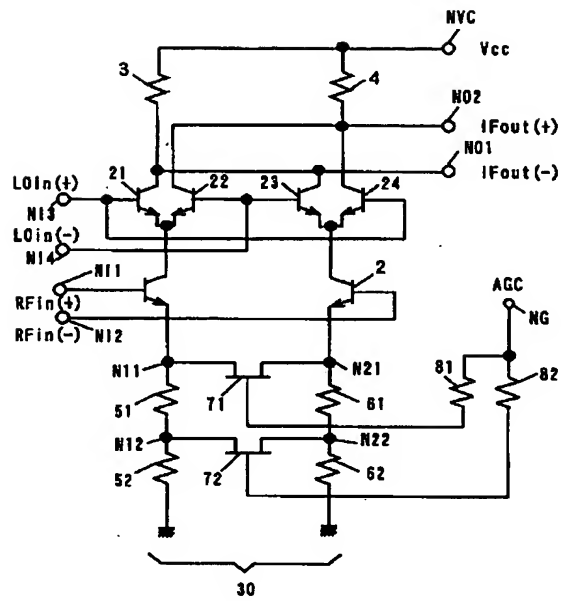
【図5】



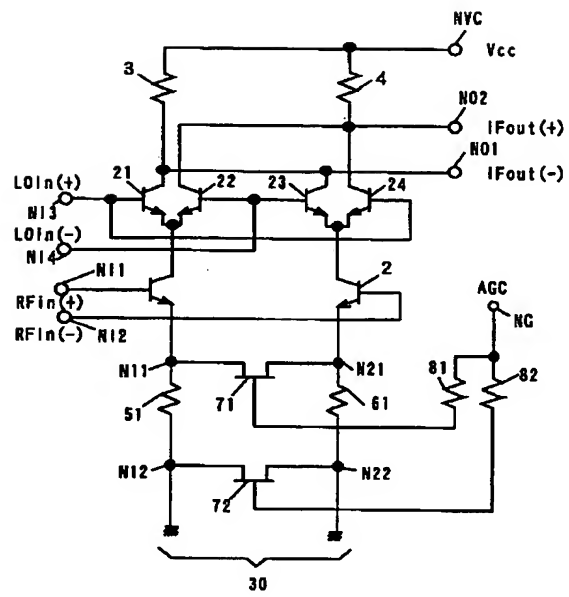
【図6】



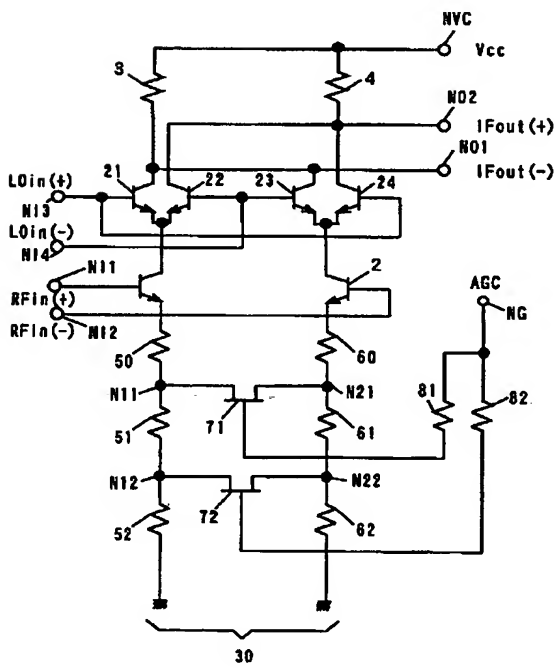
【図7】



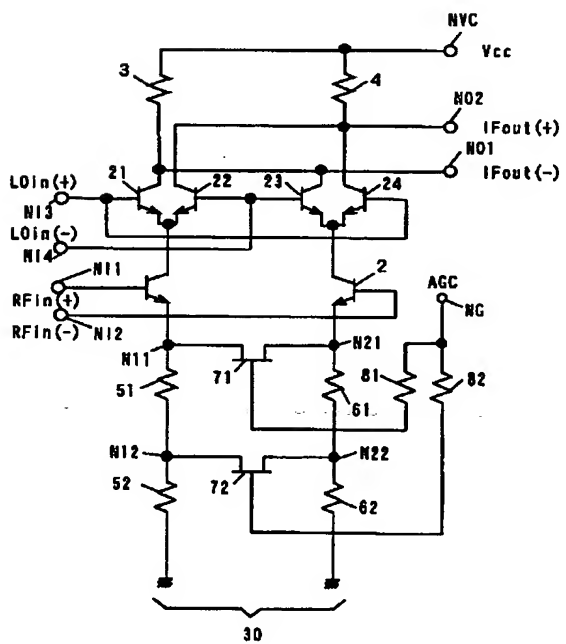
【図8】



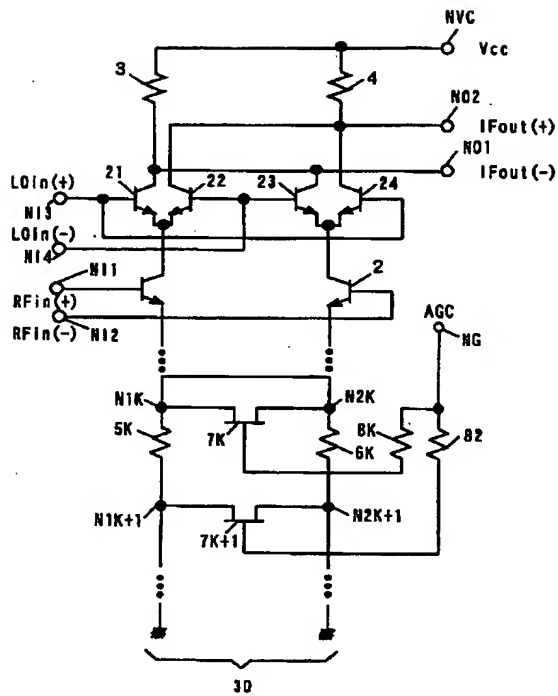
【図9】



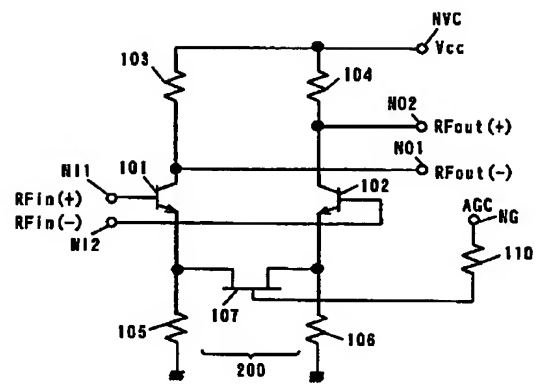
【図10】



【図11】



【図12】



フロントページの続き

F ターム(参考) 5J066 AA01 AA12 CA21 CA41 FA10
 HA02 HA10 HA18 HA25 HA26
 HA39 KA06 KA12 MA21 ND01
 ND11 ND28 PD02 TA02
 5J090 AA01 AA12 CA21 CA41 FA10
 GN01 GN08 HA02 HA10 HA18
 HA25 HA26 HA39 KA06 KA12
 MA21 TA02
 5J100 LA10 QA01 QA03 SA00
 5J500 AA01 AA12 AC21 AC41 AF10
 AH02 AH10 AH18 AH25 AH26
 AH39 AK06 AK12 AM21 AT02
 DN01 DN11 DN28 DP02

BEST AVAILABLE COPY